PATENT ABSTRACTS OF JAPAN

(11)Publication number:

06-215585

(43)Date of publication of application: 05.08.1994

(51)Int.CI.

G11C 16/06 G11C 11/409

(21)Application number: 05-020523

(71)Applicant: HITACHI LTD

(22)Date of filing:

13.01.1993

(72)Inventor: SATO HIROSHI

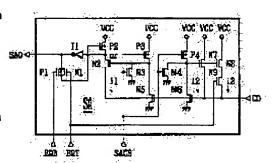
FURUNO TAKESHI NAKAMURA TAKESHI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To accelerate the read operation of a flash memory, etc., provided with a current sense type sense amplifier and to thrust the acceleration in an access time.

CONSTITUTION: In the flash memory, etc., provided with the current sense type sense amplifier SA, a common data line CD is equalized to the logical threshold level of an inverter 11 becoming a level decision circuit by making MOSFET P1 and N1 an on state temporarily in the beginning of starting read operation. Then, the precharge of the common data line CD is performed by a first precharge MOSFET N8 having relatively large conductance and being made effective temporarily while the common data line is equalized and a second precharge MOSFET N7 having relatively small conductance and being made effective normally while a read signal is amplified.



LEGAL STATUS

[Date of request for examination]

05.01.2000

[Date of sending the examiner's decision of

05.03.2002

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision

2002-05762

of rejection]

[Date of requesting appeal against examiner's

04.04.2002

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

3 辍 特許公 噩 (I2)

(11)特許出類公開番号

特開平6-215585

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.*	類別記号	厅内戴里番号	FI			技術表示當
G11C 16/06 11/409						
		6866-5L	0110	00 /1	309	В
		6866-5L	11/34	1, 34	353	٧

審査闘求 未請求 請求項の数5 FD (全14 頁)

(21) 出版番号	%颐平5—20523	(71)出版人 000005108	000002108
			株式会社日立製作所
日頃中(22)	平成5年(1993)1月13日		東京都千代田区神田駿河台四丁目6番地
		(72) 発明者	佐藤 弘
			東京都曾梅市今井2326番地 株式会社日公
			製作所デバイス開発センタ内
		(72)発明者	古野 毅
			東京都小平市上水本町577目20番1号 杉
			式会社日立製作所武蔵工場內
		(72)発明者	中科図
			東京都小平市上水本町5丁目20番1号 む
			式会社日立製作所武蔵工場內
		(74)代理人	(74)代理人 弁理士 徳岩 光政

(54) 【発明の名称】 半導体記憶装図

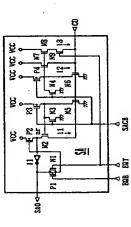
57) [遊散]

発流センス型のセンスアンプを悩えるフラッ シュメモリ等の説み川し動作を高遠化し、そのアクセス タイムの高速化を推進する。 [[][8]]

るとともに、共通データ粒CDのプリチャージを、比較 ラッシュメモリ等において、共通データ線CDを、読み 間し動作が開始される当初、MOSFETP1及びN1 パーター1の智能スレッシャルドレベルにイコライズす 的大きなコンダクタンスを有し共通データ級CDのイコ ライズが行われる間一時的に有効とされる第1のプリチ スを行し説み出し信号の増幅動作が行われる間定常的に 1効とされる第2のプリチャージMOSFETN7とに 【構成】 電流センス型のセンスアンプSAを悩えるフ **を一時的にオン状盤として、レベル判定回路となるイン** ャージMOSFETN8と、比較的小さなコンダクタン

センスアンプ回路図(実施例1)

8 8



¥ 张 兴

に有効とされる第2のプリチャージMOSFETを含む

ものであることを特徴とする請求項1の半導体記憶装

を有しかつ読み旧し信号の増幅動作が行われる間定常的

て、上記センスアンプは、比較的小さなコンダクタンス

【 間 は 型 は 型 は の プ リ チャージ M O S ド E T は、比較的大きなコンダクタンスを有するものであっ

弹体配位装置。

【都永項3】 上記共通データ報は、競み出し借号の増

幅動作が行われる当初一時的に所定レベルにイコライズ されるものであって、上記第1のプリチャージMOSF されるものであることを特徴とする都求項1又は船求項 【船永項4】 上紀センスアンプは、上記共通データ線 て、上記共通データ数のイコライズレベルは、上記レベ ル判定回路の指現スレッシホルドレベルとされるもので あることを特徴とする間沢切1、 請米項2又は間氷項3 **BTは、上記共通データ線がイコライズされる間有効と** のレベルを判定するレベル判定回路を含むものであっ 2の半導体配位装置。

【副求項5】 上記半導体記憶装置は、アドレス選移検 |||回路を具備するフラッシュメモリであって、上記説み |||し信号の増幅動作は、上記アドレス選移検川回路の|| 力信号に従っても選択的に開始されるものであることを 特徵とする請求項1, 請求項2, 請求項3又は請求項4 の半導体記憶装置。

(発明の詳細な説明) の半導体記憶装置。

ッシュメモリに利用して特に有効な技術に関するもので し、例えば、電流センス型のセンスアンプを備えるフラ [産業上の利用分野] この発明は半導体記憶装置に関

[0002]

[従来の技術] 記位データを紫外線により消去し電気的 and Programmable Read Onl y Memory)がある。また、配位データを電気的 に消去しかつ事き込みうるEEPROM(Electr ically Erasable and Progr がある。さらに、EPROMと同様にそのゲート酸化膜 ammable Read Only Mcmory) に敬き込みうるEPROM (UV Erasable

特開平06-215585

8

れ、しかも記憶データを所定のブロックごとにかつ電気 的に一括消去しうるいわゆるフラッシュメモリ(フラッ がトンネル酸化脱からなるメモリセルを基本に構成さ YAEEPROM) N'&S.

(Technical Digest)」の第616頁 [0003] フラッシュメモリについて、例えば、19 8 5年、『アイ・イー・ディー・エム(I E DM:I n ternational Electron Devi ces Mecting) テクニカル ダイジェスト ~第619頁に記載されている。

> る共通データ線と、第1の電磁電圧と上記共通データ線 との間に設けられ説み川し信号の均幅動作が行われる当 初一時的に有効とされる第1のプリチャージMOSFE **Tを含むセンスアンプとを具備することを特徴とする**準

数ならびにこれらのワード数及びビット線の交点に格子 と、指定される上記ピット級が選択的に接続状態とされ

状に配置される不揮発性メモリセルを含むメモリアレイ

【語求項1】 直交して配置されるワード線及びピット

[0004]

[発明が解決しようとする課題] 本願発明者等は、この

トランジスタ。この明細帯では、MOSFETをして絶 **椽ゲート型電界効果トランジスタの総称とする) P2及** UNチャンネルMOSFETN2と、その入力端子が上 和MOSFETP 2及びN2の共通結合されたドレイン すなわち内部ノードnrに結合されレベル判定回路とし 発明に先立って、図7に示されるような程流センス型の だ。同図において、センスアンプSAは、亀颜亀川IVC Cと共通データ数CDとの間に前列形態に設けられるP チャンネルMOSFET(金属酸化物半導体型電界効果 て作川するインパータ!1とを含む。MOSFETP2 センスアンプを開発し、フラッシュメモリに組み込ん のゲートには、反転内部制御信号SACBが供給され

る。また、MOSFETN2のゲートは、Pチャンネル MOSFETP3を介して電磁電用VCCに結合される とともに、NチャンネルMOSFETN3及びN5を介 して回路の接地電位に結合される。MOSFETP3及 びN3のゲートには、反転内部制御信号SACBが供給 され、MOSFETN5のゲートは共通データ報CDに は、反転内部制御信号SACBがロウレベルとされるこ とで選択的にオン状態とされ、共通データ数CDを介し てメモリアレイの選択されたメモリセルに所定の読み出 結合される。これにより、MOSFETP2及びN2 し亀道:1を供給する。

CCと共通データ数CDとの間に散けられるNチャンネ ル型のプリチャージMOSFETN8を含む。このプリ チャージMOSFETN8のゲートは、PチャンネルM OSFETP4を介して電飯程近VCCに結合されると ともに、NチャンネルMOSFETN4及びN6を介し て回路の接地電位に結合される。MOSFETP4及び れ、MOSFETN6のゲートは共通データ数CDに結 合される。これにより、プリチャージMOSFETN8 とで選択的にオン状態とされ、共通データ数CDに所定 [0005] センスアンプSAは、さらに、亀嶽亀川:V は、反転内部制御信号SACBがロウレベルとされるこ N4のゲートには反転内部問節信号SACBが供給さ のプリチャージ配流:4を供給する。

【0006】メモリアレイの選択されたメモリセルが勧 理"1"のデータを保持するとき、このメモリセルのし

は、読み川し粕液;1とプリチャージ粕液;4の加算値 すなわち;1+i4を超える比較的大きな説み川し租液 比較的小さな説み出し相流が流される。このため、内部 ノードnrの亀位はインパータ11の智服スレッシホル ドレベルより高くなり、インパータ 1 1 の川力信号すな bちセンスアンプS Aの間力信号S AOはロウレベルと が流される。このため、内部ノードnrの亀位はインバ ンパータ11の出力信号すなわちセンスアンプSAの出 され、共道データ数CDには、読み川し亀流!1とプリ チャージ紀流:4の加算値すなわち:1+i4を下回る -タ11の智匠スレッシホルドレベルより低くなり、イ 力信号SAOはハイレベルとなる。 一方、メモリアレイ の選択されたメモリセルが論理"0"のデータを保持す るとき、このメモリセルのしきい値租!!!は比較的大きく きい値電圧は比較的小さくされ、共通データ級CDに

位が低い状態にある場合においてその租位を急遽に上昇 **以通データ数CDの租位が上昇するにしたがって完全な 電流:4の値を制限すべく作用する。この結果、プリチ** ャージMOSFETN8は、特に共函データ数CDの亀 オン状態に近づき、MOSFETN 2 及びN 8 のゲート させるべく作用し、これによって醤原"0"の配位デー **昭位を引き下げて、説み川し電流!1 及びプリチャージ** [0007] ところで、MOSFETN5及びN6は、 タの数み出し動作が希臘化される。

【0008】しかし、本靱発明者等は、フラッシュメモ ち、上記従来のフラッシュメモリでは、ピット緯及び共 過データねCDのイコライズが行われないために、説み い。したがって、説み川し開始時における共通データ線 長され、輪風"0"の記憶データの読み出し動作は高遠 化されるが、読み川し開始時における共通データ線CD の電位が高い状態にある場合には、MOSFETN8を 介してプリチャージ電流 | 4が流されることで選択され て、フラッシュメモリのアクセスタイムの高速化が制約 III し間始時における共通データ級CDの電位は一定しな CDの租位が低い状態にある場合、前述のように、MO SFETN8を介してプリチャージ程道 | 4が流される ことによって八道データ数CDのプリチャージ動作が助 れ、福風"1"の記憶データの説み川し動作が遠くなっ りのさらなる杭選化を推進しようとして、上記センスア ンプSAの持つ次のような問題点に直面した。すなわ たメモリセルによる共通データ級CDの租位低下が退

[0009] この発明の目的は、フラッシュメモリ等の 説み川し動作を高速化し、そのアクセスタイムの高速化 を推進することにある。

現な特徴は、この明細語の記述及び添け図面から明らか 【0010】この発列の前記ならびにその他の目的と類

MOSFETと、比較的小さなコンダクタンスを有し就 み川し信号の増幅動作が行われる間定常的に有効とされ 【歌图を解決するための手段】本願において開示される 発明のうち代表的なものの概要を簡単に説明すれば、次 を、説み川し動作が開始される当初、センスアンブのレ **ベル判定回路の指型メレッツホルドレベルにイコライズ** するとともに、共通データ線のプリチャージを、比較的 大きなコンダクタンスを有し共通データ線のイコライズ が行われる間一時的に有効とされる第1のプリチャージ の通りである。すなわち、程流センス型のセンスアンプ を備えるフラッシュメモリ等において、共通データ線 る第2のプリチャージMOSFETとにより行う。 [0012]

できる。この結果、フラッシュメモリの読み出し動作を 【作用】上紀手段によれば、説み出し信号の論理レベル の百百にかかわらず、センスアンプのレベル哲法回路に よる説み川し信号のレベル判定動作を高速化することが **角速化し、そのアクセスタイムの高速化を推進すること**

[0013] ができる。

らの図をもとに、まずこの実施例のフラッシュメモリの **構成及び動作の概要について説明する。なお、図2の各** は、公知の半導体集積回路の製造技術により、特に制限 されないが、単結品シリコンのような1個の半導体基板 Lに形成される。以下の回路図において、そのチャンネ ル(バックゲート)部に矢印が付されるMOSFETは Pチャンネル型であって、矢印の付されないNチャンネ [火焔例] 図1には、この発明が適用されたフラッシュ 図2には、図1のフラッシュメモリに含まれるメモリア レイMARYの一実施例の回路図が示されている。これ 回路菜子ならびに図1の各ブロックを構成する回路紫子 メモリの一纹筋例のブロック図が示されている。また、 ルMOSFETと区別して示される。

アレイMARYをその基本構成要業とする。メモリアレ [0014] 図1において、この実施例のフラッシュメ イMARYは、図2に示されるように、同図の水平方向 と、垂直方向に平行して配置されるn+1本のビット数 BO~Bnとを含む。これらのワード模及びピット線の の同一の列に配置されるm+1個のメモリセルMCのド レインは、対応するピット数B0~Bnにそれぞれ共通 結合される。また、メモリアレイMARYの同一の行に モリは、半導体基板面の大半を占めて配置されるメモリ 交点には、 (m+1) × (n+1) 個の不抑発性メモリ セルMCが格子状に配置される。メモリアレイMARY る。すべてのメモリセルMCのソースは、ソース級SL 配置されるn+1個のメモリセルMCの制御ゲートは、 に平行して配置されるm+1本のワード教W0~Wm 対応するワード線W0~Wmにそれぞれ共通結合され を介してソーススイッチSSに結合される。

【0015】メモリアレイMARYを構成するワード数

W0~Wmは、XアドレスデコーダXDに結合され、択 ドレス信号X0~Xiが供給されるとともに、電源電圧 VCCと図示されない租託発生回路によって形成される AXiが供給され、ソーススイッチSSには、上記電圧 発生回路によって形成される制御電圧VP2が供給され は、XアドレスパッファXBからi+1ピットの内部ア 所定の制御程圧VP1~VP4ならびにVG1が供給さ れる。また、XアドレスパッファXBには、アドレス人 力端子AX0~AXiを介してXアドレス信号AX0~ 一的に選択状態とされる。XアドレスデコーダXDに

端子AX0~AXiを介して供給されるXアドレス信号

华朋平06-215585

€

[0016] ここで、電磁電圧VCCは、特に制限され 5 Vのような正程位とされ、制御亀圧 VP 4 は、+12 型JEVG1は、-10Vのような比較的絶対値の大きな ないが、+3V(ポルト)のような比較的絶対値の小さ 2. 5Vのような正準位とされ、制御程圧VP2は+4 Vのような正電位とされる。また、制御程圧VP3は+ Vのような比較的絶対値の大きな正電位とされる。制御 な正の電磁電圧とされる。一方、制御電低VP1は+ 負担位とされる。

を形成して、XアドレスデコーダXDに供給する。内部 は、内部アドレス信号X0~Xiをデコードして、メモ [0018] この実施例において、消去モードにおける ワード核WO~Wmの選択レベルつまり選択メモリセル のゲート電位は、特に制限されないが、表1に示される ように、胡御亀川VG1つまりー10Vとされ、その非 徴択レベルつまり非選択メモリセルのゲート租位は、制 御亀匠VP2つまり+4Vとされる。このとき、選択及 は、後述するソーススイッチSSによってともに制御亀 圧VP2つまり+4Vとされ、そのドレインつまりビッ アドレス信号Xの~Xiは、後述するアドレス選移検出 AX0~AXiを取り込み・保持するとともに、これら のXアドレス信号をもとに内部アドレス信号X0~X1 リアレイMARYの対応するワード模W0~Wmを択一 回路ATDにも供給される。 XアドレスデコーダXD び非選択メモリセルのソース相位つまりソース報SL 的に動作モードに応じた所定の選択レベルとする。 ト級BO~Bnはともに開放状態とされる。

[表1] 消去モードにおける選択・非選択レベル [0019]

[0017] XアドレスパッファXBは、アドレス入力

遊牧時	ソース(ソース類SL) ゲート(ワード算W0~Wm) ドレイン(ピット録B0~Bn)	VP2 (+4V) VG1 (-10V) 開放状題
非選択時	ソース(ソース様SL) ゲート(ワード様W 0~Wm) ドレイン(ピット練B 0~B n)	VP 2 (+4V) VP 2 (+4V) 開放铁盤

表2に示されるように、制御電圧VP1つまり+2.5 Vとされ、その非選択レベルは、接地租位VSSつまり 0 Vとされる。このとき、選択及び非選択メモリセルの [0020]一方、消去動作確認のための消去ベリファ イモードにおけるワード核W 0~Wmの選択レベルは、

ソース電位は、ともに接地電位VSSつまり0Vとさ れ、そのドレインはともに+1V程度とされる。

【夜2】 消去ベリファイモードにおける選択・非選択レ [0021]

ż

器択時	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ピット線B0~Bn)	VSS (0V) VP1 (+2, 5V) +1V程度
非强权時	ソース(ソース級SL) ゲート(ワード級W0~Wm) ドレイン(ピット額B0~Bn)	VSS (0V) VSS (0V) +1V程度

【0022】次に、沓き込みモードにおけるワード級W 0~Wmの選択レベルは、役3に示されるように、制御 は、接地筍位VSSつまり0Vとされる。このとき、選 背き込みデータに応じて削御電近VP3つまり+5VX BLEVP4つまり+12Vとされ、その非選択レベル 択メモリセルのドレインつまりビットB0~Bnには、

は接地電位VSSつまりOVが選択的に供給され、非適 **以メモリセルのドレインには+5Vが供給される。 選択** 及び非選択メモリセルのソース電位つまりソース級SL は、ともに接地電位VSSつまり0Vとされる。

[0023]

(表3) 排き込みモードにおける選択・非選択レベル

9

は、数4に示されるように、例询用EVP3つまり+5 0 Vとされる。このとき、選択及び非選択メモリセルの [0024]一方、排き込み確認のための時き込みベリ ファイモードにおけるワード袋W O ~Wmの選択レベル Vとされ、その非選択レベルは、接地程位VSSつまり

ソース組化は、ともに接地租位VSSつまり0Vとさ れ、そのドレインはともに+1V程度とされる。

VP3 (+5V)

ドフイン (アット徳B0~Bn)

非强权時

【表4】 敬き込みベリファイモードにおける選択・非選 [0025] 択てネド

超快時	ソース (ソース級SL) ゲート (ワード解W0~Wm) ドレイン (ピット線B0~Bn)	VSS (0V) VP3 (+5V +1V程度
非選択時	ソース(ソース様SL.) ゲート(ワード徴W 0 ~Wm.) ドレイン(ピット徳B 0 ~B n)	VSS (0V) VSS (0V) +1V程度

[表5] 説み川しモードにおける選択・非選択レベル

[0026]

VSS (0V)	VSS (0V)
VCC (+3V)	VSS (0V)
+1V程度	+1V超度
ソース (ソース級SL)	ソース(ソース線SL)
ゲート (ワード類W0~Wm)	ゲート(ワード線W0~Wm)
ドレイン (ピット報B0~Bn)	ドレイン(ビット線B0~Bn)
題状時	非選択時

る。このとき、選択及び非選択メモリセルのソース電位 【0027】さらに、読み出しモードにおけるワード級 W0~Wmの選択レベルつまり選択メモリセルのゲート 用位は、没5に示されるように、電脳電圧VCCつまり +3Vとされ、その非選択レベルつまり非選択メモリセ つまりソース殺SLは、ともに接地電位VSSつまり0 Vとされ、そのドレインつまりビット模B0~Bnは、 ルのゲート電位は、接地電位VSSつまり0Vとされ ともに+1V間度とされる。

示されるように、ソース殺Sしを介してメモリアレイM ARYを構成するすべてのメモリセルMCのソースに動 作モードに応じた所定のソース程圧を供給する。すなわ ち、ソーススイッチSSは、フラッシュメモリが消去モ ス電圧をすべてのメモリセルMCのソースに供給し、フ [0028] ソーススイッチSSは、上記数1~表5に ードとされるとき、制御宅/EVP 2つまり+4Vのソー

ラッシュメモリが消去ペリファイモード,昔き込みモー ド,貰き込みベリファイモード又は読み川しモードとさ れるとき、接地租位つまり0Vのソース電圧を供給す

YDには、YアドレスパッファYBからj+1ピットの 内部アドレス信号Y0~Yjが供給され、Yアドレスパ 【0029】メモリアレイMARYを構成するピット数 モリアレイMARYのピット数B0~Bnに対応して設 トには、Yアドレスデコーダから対応するビット級選択 ここで、VスイッチVSは、図2に示されるように、メ けられるNチャンネル型のn+1間のスイッチMOSF ETNSを含む。これらのスイッチMOSFETのゲー **信号YS0~YSnが供給される。Yアドレスデコーダ** ッファYBには、アドレス入力端子AY0~AYiを介 BO~Bnは、YスイッチYSに結合され、このYスイ ッチを介して共通データ級CDに選択的に接続される。

アドレス信号 Y 0~ Y j は、アドレス 選移検 出回路 A T チMOSFETNSが択一的にオン状態とされ、これに れらの内部アドレス信号の簡単レベルが1ビットでも反 [0030] ヤアドレスパッファソBは、アドレス入力 **端子AY0~AY」を介して供給されるYアドレス信号** AYO~AYjを取り込み・保持するとともに、これら のYアドレス信号をもとに内部アドレス信号V 0~V j を形成して、YアドレスデコーダYDに供給する。内部 Dにも供給される。YアドレスデコーダYDは、Yアド レスパッファYBから供給される内部アドレス信号Y0 ~Yjをデコードして、対応するピット報選択信号YS 0~YSnを択一的に電凝電IEVCCのようなハイレベ ルとする。この結果、YスイッチYSの対応するスイッ よってメモリアレイMARYの対応するピット級B0~ 【0031】アドレス選移検川回路ATDは、内部アド レス信号X 0 ~X i ならびにY 0 ~Y j をモニタし、こ Bnが共通データ数CDに選択的に接続状態とされる。 してYアドレス信号AY0~AYjが供給される。

に*を付して表す。また、それが有効とされるとき選択 [0032] 共通データ様CDは、ライトアンプWAの 子に結合される。データ入力パッファ1Bの入力端子と イミング発生回路TGから相補内部制御信号EQ*(こ こで、例えば非反位内部制御信号EQTと反転内部制御 信号EQBとをあわせて相補内部制御信号EQ*のよう はその名称の末尾に丁を付して表し、それが有効とされ 川力端子に結合されるとともに、センスアンプSAの入 力端子に結合される。ライトアンプWAの人力端子はデ **ータ入力パッファ1Bの出力端子に結合され、センスア** ンプSAの川力端子はデータ川カバッファOBの入力端 データ111カバッファ〇Bの旧力端子は、データ入川力端 子DIOに共通結合される。センスアンプSAには、タ 的にハイレベルとされるいわゆる非反転信号等について るとき選択的にロウレベルとされるいわゆる反転信号等 についてはその名称の末尾にBを付して表す。以下同 定の内部制御信号が選択的に形成される。

モリが弱き込みモードで選択状態とされるとき、データ CDを介してメモリアレイMARYの選択された1個の ら共通データ森CDを介して選択されたメモリセルに供 [0033] データ人力パッファ1Bは、フラッシュメ 入川力端子DIOを介して入力される街き込みデータを WAは、データ入力パッファ1Bを介して伝達される書 き込みデータを所定の事き込み信号とし、共通データ線 メモリセルMCに俳き込む。なお、ライトアンプWAか 給される勘き込み信号のハイレベルは、制御亀IEVP3 取り込み、ライトアンプWAに伝達する。ライトアンプ 限) 及びSAC*が供給される。

つまり+5Vとされ、そのロウレベルは接地電位VSS

つまり0∨とされる。

[0034] 一方、センスアンプSAは、いわゆる程流 る。この動作状態において、センスアンプSAは、メモ 通データ級CDを介して電流信号としてIII 力される説み ッファ〇Bに伝達する。データ川カバッファ〇Bは、セ ンスアンプSAを介して伝達される説み出し信号をさら に増幅して、データ入川力端子DIOから川力する。 な センス型のセンスアンプとされ、フラッシュメモリが散 み川しモードで選択状態とされるとき、柏楠内部制御信 号EQ*及びSAC*に従って選択的に動作状態とされ リアレイMARYの選択された1個のメモリセルから共 用し信号を、電圧信号に変換して増幅し、データ川カバ お、センスアンプSAの具体的な構成については、後で 詳細に説明する。

【0035】タイミング発生回路TGは、外部から起動 B. ライトイネーブル信号WEB及び川カイネーブル信 丹OEBとアドレス遺移検出回路ATDの出力信号AT 制御信号として供給されるチップイネーブル信号CE DOとをもとに各種の内部関調信号を選択的に形成し、 フラッシュメモリの各回路に供給する。

> 版されるとき、その川力信号ATDOを一時的にハイレ ベルとする。このアドレス遷移検川回路ATDの川力信

号ATDOはタイミング発生回路TGに供給され、これ をもとにセンスアンプSA等の助作を制御するための所

れ、図4には、その一実施例の信号被形図が示されてい [0036] 図3には、図1のフラッシュメモリに含ま る。これらの図をもとに、この実施例のフラッシュメモ リに含まれるセンスアンプSAの具体的な構成及び動作 hるセンスアンプSAの第1の実施例の回路図が示さ

ts. このうち、MOSFETP2のゲートは、そのドレ 部ノードnrつまり共通データ殺CDに対するレベル判 また、MOSFETN2のゲートは、PチャンネルMO 介して回路の接地相位に結合される。MOSFETP3 [0037] 図3において、この実施例のセンスアンプ タ級CDとの間に浜列形態に設けられるPチャンネルM OSFETP2及びNチャンネルMOSFETN2を含 インすなわち内部ノードnrに結合されるとともに、内 SFETP3を介して電磁電圧VCCに結合されるとと もに、2個のNチャンネルMOSFETN3及びN5を 及びN3のゲートには、反転内部制御信号SACBが供 給され、MOSFETN5のゲートは戊値データ様CD 図4に示されるように、チップイネーブル信号CEBが ロウレベルとされることでフラッシュメモリが選択状態 SAは、電磁程用VCC(第1の電磁電圧)と共通デー とされるとき、所定のタイミングで電磁電圧VCCのよ うなロウレベルとされる。育うまでもなく、非反転内部 関御信号SACTは、反転内部制御信号SACBがハイ レベルとされるときロウレベルとされ、ロウレベルとさ 定回路となるインバータ11の入力端子に結合される。 に結合される。ここで、反転内部制御信号SACBは、 ならびにその特徴について説明する。

[0038] CACLD, MOSFETP3H, 75% れるときハイレベルとされる。

8

OSFETN2をオン状態とする。このとき、MOSF となり、共通データ級CDはいわゆるフローティング状 シュメモリが選択状態とされ反転内部制御信号SACB がロウレベルとされるとき選択的にオン状態となり、M ETP 2は、反転内部制御信号SACBのロウレベルを 受けてオン状態とされる。したがって、メモリアレイM 説み出し電流 | 1 が供給される。フラッシュメモリが非 選択状態とされ反転内部制御信号SACBがハイレベル 2 及びP 3がオフ状盤となり、MOSFETN 3がオン 状態となる。したがって、MOSFETN2もオフ状態 ARYの選択されたメモリセルには、これらのMOSF ETP2及びN2から共通データ数CDを介して所定の とされるとき、センスアンプSAでは、MOSFETP 値とされる。

[0039]ところで、この実施例のセンスアンプSA は、インパータ11の入力端子及び川力端子間に散けら れ一対のPチャンネルMOSFETP1及びNチャンネ ルMOSFETN1からなる相悩スイッチを含む。この N1のゲートには、非反転内部制御信号EQTが供給さ れるように、チップイネーブル信号CEBの立ち下がり を受けてフラッシュメモリが選択状態とされるとき、あ ビットでも変化されることでアドレス選移検川回路AT Dの川力信号ATDOがハイレベルとされるとき、言い 換えるならばセンスアンプSAによる説み出し信号の増 幅動作が行われる当初において一時的にロウレベルとさ レベルとされ、ハイレベルとされるときロウレベルとさ は、反転内部制御信号EQBが供給され、MOSFET れる。ここで、反転内部制御信号EQBは、図4に示さ るいは内部アドレス信号X0~XiXはY0~Yjが1 **反転内部初節信号EQBがロウレベルとされるときハイ** れる。君うまでもなく、非反転内部制御信号匹QTは、 和揃スイッチを構成するMOSFETP1のゲートに

インバータ11の入力端子及び出力端子を短格して、内 がハイレベルとされるとき、反転内部制御信号SACB は、反転内部制御信号EQBがロウレベルとされ非反転 えるならばセンスアンプSAによる説み川し信号の増幅 部ノードnrの組位をインバータ11の猫爪スレッシホ ルドレベルVRとする。前述のように、反転内部制御信 はロウレベルとされ、MOSFETN2はオン状態とさ 内部制御信号EQTがハイレベルとされるとき、言い換 号EQBがロウレベルとされ非反転内部側蹲信号EQT れる。この結果、共通データ数CDとメモリアレイMA RYの題収されたビット数BO~Bnが、上記語県スレ [0041] センスアンプSAは、さらに、亀原亀圧V CCと共通データ数CDとの間に近列形態に設けられる ッシホルドレベルVRにイコライズされるものとなる。 助作が行われる当初において一時的にオン状態となり、 [0040] C和により、MOSFETP1及びN1

OSFET) 及びN9と、これらのMOSFETと並列 のうち、MOSFETN9のゲートには、非反転内部制 即信号EQTが供給される。また、MOSFETN8の 租用VCCに結合されるとともに、2個のNチャンネル MOSFETN4及びN6を介して回路の接地電位に結 含される。MOSFETP4及びN4のゲートには、上 N5のゲートは共通データ級CDに結合される。この実 ダクタンスを持つべく比較的大きなサイズをもって形成 され、MOSFETN7は、MOSFETN8に比較し て小さなコンダクタンスを持つべく比較的小さなサイズ 形態に設けられるもう 1 個のNチャンネルMOSFET N7 (第2のプリチャージMOSFET) とを含む。こ ゲートは、PチャンネルMOSFETP4を介して電磁 記反板内部制御信号SACBが供給され、MOSFET 施例において、MOSFETN8は、比較的大きなコン をもって形成される。

に供給される。前述のように、非反転内部制御倡号EQ フラッシュメモリが選択状態とされ反転内部制御信号S ACBがロウレベルとされるとき選択的にオン状態とな り、MOSFETN7及びN8をオン状態とする。この とき、MOSFETN9は、非反転内部制御信号EQT れ、これによってMOSFETN8が実質的な有効状態 となる。この結果、共通データ級CDには、非反転内部 胡御信号EQTがハイレベルとされる期間だけ、言い後 えるならばセンスアンプSAによる読み川し信号の増幅 る比較的大きなプリチャージ電流 I 3 とMOS F E T N 7を介する比較的小さなプリチャージ電流 1.2 とが同時 Tがハイレベルとされるとき、センスアンプSAではM OSFETP1及びN1による共通データ線CDのイコ ライズが行われる。したがって、共通データ級CDの電 位は、直前の説み川し動作においてその亀位がロウレベ ルとされている場合でも、論項スレッシホルドレベルV 動作が行われる当初において、MOSFETN8を介す [0042] LhSOLLMS, MOSFETP4H, がハイレベルとされる期間だけ一時的にオン状態とさ Rまで急速に上昇されるものとなる。

MOSFETN9がオフ状態とされ、プリチャージMO うに、反転内部制御信号EQBのハイレベルと非反転内 る。このため、共通データ幕CDの電位は、メモリアレ [0043] 所定の時間が維過し非反転内部制御信号区 SFETN8は無効状態とされる。したがって、共通デ ータ級には、MOSFETN7を介する比較的小さなプ リチャージ程液 1.2 が供給されるとともに、MOSFE る。このとき、MOSFETP1及びN1は、前述のよ 部制御信号EQTのロウレベルを受けてオフ状態とされ イMARYの選択されたメモリセルが綺煕"0"のデー タを保持するとき、プリチャージ電流 i 2 及び祝み川し **聕流:1によってさらに上昇し、メモリアレイMARY** QTがロウレベルとされると、センスアンプSAでは、 TP2及びN2を介する読み川し電流i1が供給され

るとき、このメモリセルを介する引き抜き電流によって 徐々に低下する。共通データ線CDのレベル変化は、レ その川力信号つまりはセンスアンプSAの川力信号SA の選択されたメモリセルが論理"1"のデータを保持す ベル判定回路となるインバータ!1によって判定され、 Oが選択的にロウレベル又はハイレベルとされる。

れたメモリセルの保持データに従って共通データ級CD の電位が選択的に変化されるとき、センスアンプSAで [0044] ところで、メモリアレイMARYの選択さ るプリチャージMOSFETN7のみがオン状盤とされ リアレイMARYの選択されたメモリセルによる共通デ ータ級CDの電位引き抜きは選やかに行われ、これによ って輪県"1"の配位データの説み川し動作も高速化さ は、前述のように、比較的小さなコンダクタンスを有す る。このため、直前の読み出し動作において共通データ 校CDの相位がハイレベルとされている場合でも、メモ

ンプSAは、前記図2の実施例を基本的に路頭するもの であるため、これと異なる部分についてのみ説明を追加 れるセンスアンプSAの第2の実施例の回路図が示され 【0045】図5には、図1のフラッシュメモリに含ま ている。同図により、この発明が適用されたセンスアン プのもう一つの実施例の具体的構成及び動作ならびにそ の特徴について説明する。なお、この実施例のセンスア

は、Nチャンネル型の駆動MOSFETNEを介して回 ンネルMOSFETNA及びNDからなる定電圧発生回 路から所定の基準電位VRが供給される。一方、MOS 後、MOSFETP7のゲートに結合される。また、昭 動MOSFETNE及びNDのゲートには、非反転内部 ETP6及びP7は電流ミラー形態とされ、遊動MOS する。また、差動MOSFETNB及びNCは、これら SAは、Nチャンネル型の意動MOSFETNB及びN Cを合む。これらの遊動MOSFETのドレインは、対 は、内部ノードnrに結合され、MOSFETNBのゲ FETP6のゲートは、そのドレインに共通結合された 前御信号SACTが供給される。これにより、MOSF FETNB及びNCに対するアクティブ負荷として作川 の負荷MOSFETP 6及びP7ならびに駆動MOSF 基準電位 NRをその論理スレッシホルドレベルとするレ [0046] 図5において、この災筋例のセンスアンプ **応するPチャンネルMOSFETP6及びP7を介して** 電飯電//EVCCに結合され、その火通結合されたソース 路の接地电位に結合される。MOSFETNCのゲート **−トは、ቦチャンネルMOSFETP6ならびにNチャ** レベルとされることで選択的に動作状態とされかつ上記 ETNEとともに、非反転内部前御信号SACTがハイ ベル判定回路を構成する。

[0047] 遊動MOSFETNB及びNCを中心とす るレベル判定回路の反転出力信号すなわちMOSFET

NチャンネルMOSFETN8 (筑1のプリチャージM

中心とするフベル対法国際の智服スワッツボルドレベル ードnrとの間には、PチャンネルMOSFETP1及 MOSFETP1のゲートには反転内部制御信号EQB が供給され、MOSFETN1のゲートには非反転内部 財御信号EQTが供給される。MOSFETP1及びN 1は、反転内部制御信号EQBがロウレベルとされ非反 版内部制御信号EQTがハイレベルとされることで、含 い換えるならばセンスアンプSAよる説み川し信号の増 り、内部ノードnrつまりは共通データ級CDの電位を **基準電位VRつまりは淀動MOSFETNB及びNCを** にイコライズする。この結果、この実施例のセンスアン プSAにおいても、前乱図3の実施例と同様な効果を得 NC及びP7の共通結合されたドレイン電位は、インバ ータ12によって反転された後、センスアンプSAの川 小信号SAOとなる。一方、レベル判定回路の反転入力 端子すなわちMOSFETNBのゲートとその非反転入 **小端子すなわちMOSFETNCのゲートつまり内部ノ** びNIからなる価値スイッチが設けられる。このうち、 福動作が行われる当初において一時的にオン状態とな ることができるものとなる。

[0048]以上の実施例に示されるように、この発明 リ等の半導体記憶装置に適用することで、次のような作 を電流センス型のセンスアンプを備えるフラッシュメモ 川効果を得ることができる。 すなわち、

レッシホルドレベルにイコライズすることで、レベル料 メモリ等において、共通データ報を、説み川し動作が開 始される当初、センスアンプのレベル判定回路の論理ス 近回路による説み出し信号のレベル判定動作を安定化で (1) 電流センス型のセンスアンプを悩えるフラッシュ きるという効果が得られる。

靱のプリチャージを、比較的大きなコンダクタンスを有 し共通データ数のイコライズが行われる間一時的に有効 とされる第1のプリチャージMOSFETと、比較的小 さなコンダクタンスを行し読み出し信号の増幅動作が行 われる間定常的に有効とされる第2のプリチャージMO SFETとにより行うことで、選択されたメモリセルの 説み川し信号による共通データ類のレベル変化に影響を 与えることなく、共通データ線のプリチャージを高速化 [0049] (2) 上記 (1) 項において、共通データ できるという効果が得られる。

(3) 上記 (1) 項及び (2) 項により、説み間し信号 の镭型フベルの囟向にかかむらず、センスアンプのフベ ル判定回路による説み出し信号のレベル判定動作を高速 化できるという効果が得られる。

(4) 上記(1) 項~(3) 項により、フラッシュメモ リの読み川し動作を高遠化し、そのアクセスタイムの高

歯例に基づき具体的に説明したが、この発明は、上記炎 衝倒に限定されるものではなく、その要旨を逸脱しない 【0050】以上、本発明者によってなされた発明を実 **遊化を推進できるという効果が得られる。**

9

持閒平06-215585

9

データを何時に入力又は出力するいわゆる多ピット構成 MARYを構成するすべてのメモリセルの配位データを **一斉に消去するためのチップ消去モードを備えることが** 陌朋で種々変更可能であることは許うまでもない。例え ば、図1において、フラッシュメモリは、メモリアレイ できる。また、フラッシュメモリは、複数ピットの記憶 を採ることができるし、そのブロック構成や電鉱電圧及 が前御君爪の極性及び絶対値ならびに組み合わせ等は、 領々の実施形態を採りうる。

た、YスイッチYSは、PチャンネルMOSFET及び イッチにより構成することができる。図5において、内 部ノードnrに対するレベル构定回路は、図6に例示さ れるように、Pチャンネル型の流動MOSFETPB及 びPCを中心に構成することができる。この場合、レベ ル判定回路の反転入力端子すなわちMOSFETPBの は、アチャンネルMOSFETP8及びPAならびにN クタンスを行するプリチャージMOSFETP7を省略 することができる。さらに、図2に示されるメモリアレ イMARYや図3、図5及び図6に示されるセンスアン NチャンネルMOSFETが並列結合されてなる相補ス る.図3ならびに図5及び図6において、説み川し亀流 11を充分な位に設定できる場合、比較的小さなコンダ [0051] 図2において、メモリアレイMARYは、 **複数のサブメモリアレイに分割することができる。ま** ゲートに基準相位VRを与えるための定律圧発生回路 チャンネルMOSFETNGにより構成する必要があ プSAの具体的構成ならびにMOSFETの専電型等

に限定されるものではなく、例えば、同様なセンスアン 果粕回路やこれらのメモリ集粕回路を内蔵するマイクロ の発明は、少なくとも電流センス型のセンスアンプを船 える事等体制的装置ならびにこのような事尊体記憶装置 [0052] 以上の説明では、主として本発明者によっ てなされた発明をその背景となった利川分野であるフラ ッシュメモリに適用した場合について税別したが、それ プを悩えるEPROM及びEEPROM等の各種メモリ コンピュータ等の福里集積回路装置にも適用できる。こ を内蔵する半項体装置に広く適用できる。 は、何々の実施形態を採りうる。 [0053]

的なものによって得られる効果を簡単に説明すれば、下 [発明の効果] 本版において開示される発明のうち代表 **机の通りである。すなわち、電流センス型のセンスアン**

果、フラッシュメモリの読み川し動作を高速化し、その プを悩えるフラッシュメモリ等において、共通データ級 を、読み川し動作が開始される当初、センスアンプのレ **くみ並託回報の褶部又フッツセケドフへがにイロッイズ** するとともに、共通データ級のプリチャージを、比較的 大きなコンダクタンスを有しかつ共通データ数のイコラ イズが行われる間一時的に有効とされる第1のプリチャ ージMOSFETと、比較的小さなコンダクタンスを有 しかし読み出し信号の増幅動作が行われる間定常的に有 幼とされる第2のプリチャージMOSFETとにより行 うことで、競み出し信号の循環アペルの傾向にかかわら ず、センスアンプのレベル判定回路による読み出し信号 のレベル判定動作を高速化することができる。この結 アクセスタイムの高速化を推進することができる。 【図面の簡単な説明】

【図1】この発明が適用されたフラッシュメモリの一実 箱倒を示すプロック図である。

[図2] 図1のフラッシュメモリに含まれるメモリアレ f 及びYスイッチの一実施例を示す回路図である。

【図3】図1のフラッシュメモリに含まれるセンスアン プの第1の実施例を示す回路図である。

[図4] 図3のセンスアンプの一実施例を示す信号故形 図である.

【図5】 図1のフラッシュメモリに含まれるセンスアン

【図6】図1のフラッシュメモリに含まれるセンスアン プの第2の実施例を示す回路図である。

プの第3の実施例を示す回路図である。

[図7] 従来のフラッシュメモリに含まれるセンスアン プの一例を示す回路図である。

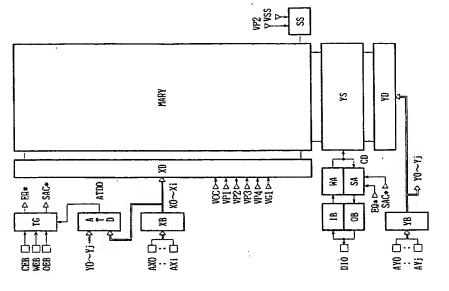
[作号の説明]

MARY · · · › X E I アレイ、X D · · · · X アドレスデ コーダ、XB・・・Xアドレスバッファ、SS・・・ソ $-\lambda \lambda \lambda \gamma \gamma \gamma$, $\gamma S \cdots \gamma \lambda \gamma \gamma \gamma \gamma$, $\gamma D \cdots \gamma \gamma$ D・・・アドレス選移検III回路、WA・・・ライトアン プ、S A・・・センスアンプ、1B・・・データ入力バ イミング発生回路。MC・・・不体発性メモリセル、W SL・・・ソース級。P 1~PC・・・PチャンネルM ドレスデコーダ、YB・・・Yアドレスバッファ、AT ッファ、OB・・・データIIIカバッファ、TG・・・タ OSFET, NI~NS···NF+V4/MOSFE 0~Wm・・・ワード楼、B 0~B n・・・ピット楼、 T、11~12···インバータ。

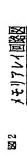
図

(E

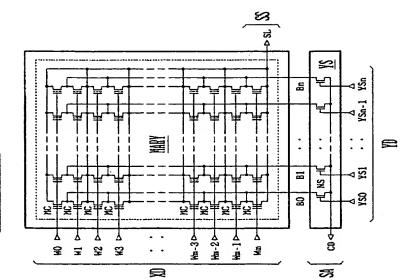
フラッシュメモリブロック図

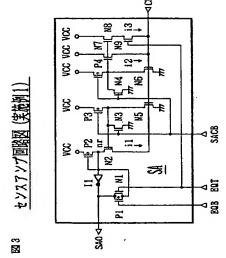


(図3)

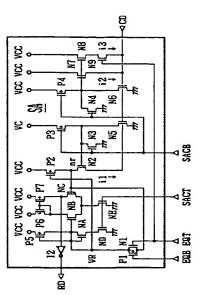


(図2)









[國6]

[图4]

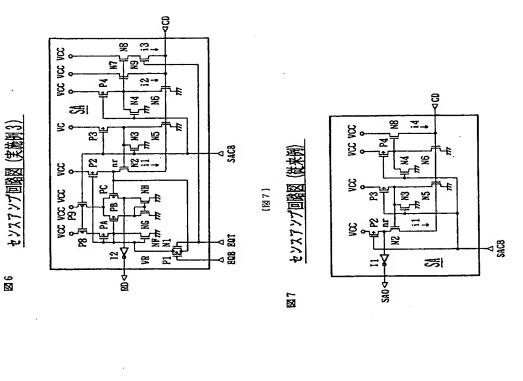
×

AX0~AX1

83

AYO~AYJ

ATD0



: SACB

- SACT

SAC

88

80~8n

8

BO~Bn, CD, SAO

SAO